



NEUE SKALIERTE TM- DUAL-RAIL COMPUTERARCHITEKTUR

Das Ende des Von-Neumann-Flaschenhalses

Der Speicher (Flip-Flop) wird zum Prozessor

Software/Algorithmen werden algebraisch

Deterministische KI, minimale Energieaufnahme und sicherheitskritische Echtzeit

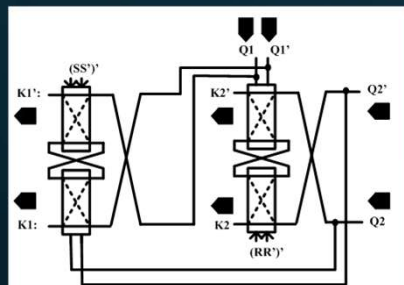
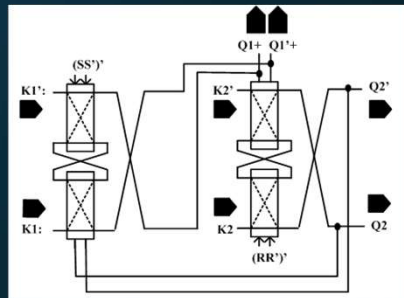
Datum: 18Dezember 2025

Autor: Peter Hettich

Warum klassische Computerarchitekturen an physikalische Grenzen stoßen

- In modernen Prozessoren wird ein Großteil der Energie und Zeit für Datenbewegung aufgewendet
- Speicher, Rechenwerk und Steuerung sind physikalisch getrennt
- Cache-Hierarchien, Busse und Interconnects dominieren Latenz und Energieverbrauch
- Deterministische Echtzeit, extreme Energieeffizienz und Safety sind strukturell nicht gleichzeitig erreichbar
- Software und Algorithmen nehmen exponentiell zu

TM-Dual-Rail: Der Speicher wird zur Recheneinheit. Software wird algebraisch



IN/OUT

OUT/IN

- Einführung des Bidirektionalen algebraischen Dual-Rail-Flip-Flops (BFF)
- Ein einziges physikalisches Bauteil übernimmt:
 - Speicherung
 - logische Operation
 - Zustandsübergang
- Umschaltbar durch Vertauschung von Ein- und Ausgängen:
 - IN/OUT: sequentieller Speicher
 - OUT/IN: algebraische Funktion
- Kein Load/Store, keine Cache-Effekte, kein Busverkehr
- Software wird algebraisch

Technischer Vergleich: Klassisch vs. Neue TM-Dual-Rail

Klassisch:

- 20–100 Takte pro Zustandsupdate
- Hoher Energieverbrauch
- Nichtdeterministisches Timing
- Hohe Systemkomplexität

Neue TM-Dual-Rail:

- 1–2 Takte pro Zustandsübergang
- Energie im pJ-Bereich (erwartet)
- Strikt deterministisches Zeitverhalten
- Architektur ist reduzierte Komplexität

Basierend auf SPICE-Simulationen und physikalischer Modellierung

Physikalische Validierung auf Transistorebene

- SPICE-Simulationen auf CMOS-Transistorebene
- Dual-Rail AND-Funktion
- Sequentielles BFF (IN/OUT)
- Algebraische BFF-Varianten (OUT/IN)
- Validierte Funktionen:
 - o Setzen
 - o Löschen
 - o Halten
- BFF-Kern: 16 Transmission Gates (32 Transistoren)

Typischer Use Case: Deterministische KI im Regelkreis

- Sicherheitskritische Regelkreise sind formale Automatenmodelle
- Klassische Umsetzung erzeugt:
 - o nichtdeterministische Latenzen
 - o hohen Energieverbrauch
- Neue TM–Dual–Rail integriert KI-Entscheidungen direkt als algebraische Zustandsübergänge
- Ergebnis:
 - o deterministische Echtzeit
 - o minimale Energieaufnahme
 - o formale Zertifizierbarkeit
- **Integration als Dual-Rail Safety Island in bestehende Single-Rail-Systeme. Software wird algebraisch.**

Aktueller Projektstatus

- Architekturkonzept definiert
- SPICE-Simulationen erfolgreich durchgeführt
- Funktionale und zeitliche Stabilität nachgewiesen
- Patentanmeldung eingereicht

Nächste Schritte: Patentierungsprozess,
Weitere Detailsimulationen, ASIC zur
Silizium-Validierung

Verwertungsstrategie

- Lizenzierung der TM–Dual–Rail-Architektur
- Integration in:
 - o Automotive-Systeme
 - o Industrieautomation
 - o Energie- und Telekommunikationsinfrastruktur
- Fokus auf:
 - o Safety-kritische Systeme
 - o Energie- und latenzlimitierte Anwendungen
- Langfristiges Marktpotenzial durch neue Architekturklasse

Team & Expertise

- Über 40 Jahre Erfahrung in:
 - o Infrastruktur
 - o verteilten Systemen
 - o sicherheitskritischen Architekturen
- Rolle:
 - o Erfinder
 - o System- und Architekturdesigner
- Fokus:
 - o physikalisch fundierte System- und Computerarchitekturen

Nächster Schritt

- Übergang von Simulation zu Silizium
Basis für industrielle Pilotprojekte
 - Realisierung eines ASIC-MPV (Test Chip)
 - Ziel:
 - o experimenteller Nachweis der Architektur
 - o Patentabsicherung
 - Gesucht:
 - o strategische Industriepartner
 - o Förderpartner
 - o Deep-Tech-Investoren
- Investitionsbedarf : 4 - 8 Mio. €